

BEST AVAILABLE COPY

PAT-NO: JP410032070A

DOCUMENT-IDENTIFIER: JP 10032070 A

TITLE: TEST METHOD FOR SEMICONDUCTOR DEVICE AND IC
SOCKET

PUBN-DATE: February 3, 1998

INVENTOR-INFORMATION:

NAME

KATO, NORIAKI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP08186102

APPL-DATE: July 16, 1996

INT-CL (IPC): H01R033/76, G01R001/06 , G01R031/26 , G01R031/28 ,
H01L021/66
 , H01L023/32 , H01R023/02

ABSTRACT:

PROBLEM TO BE SOLVED: To excellently maintain electrical characteristics, and furthermore simply preclude electrical continuity by letting electrodes and bumps be brought into contact with the electrodes of the semiconductor device and the pad of an interposer, which is larger in diameter than the bump of a testing substrate.

SOLUTION: In order to measure the electrical characteristics of a semiconductor device 1, the bump 4a of a testing substrate 4 on which testing circuit wiring 4b is formed, is aligned in position with the pad 3a of an interposer 3, the interposer 3 is piled up over the substrate 14, and preparations are thereby made for testing processes. And the device

1 on which
solder balls 2 as electrodes are formed, is mechanically aligned in
position so
that bumps 2 are hit against the pad 3a on the surface side of the
interposer
3. And pressure is applied to the substrate 4 side from the upper
surface of
the device 1 by a pressing mechanism by way of the interposer 3. By
this
constitution, electrical continuity can thereby be produced between
each ball 2
of the device 1 and the bump 3b of the substrate 4 by way of the
interposer 3,
and the test of the device 1 can thereby be made possible.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-32070

(43) 公開日 平成10年(1998) 2月3日

(51) IntCl ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 R 33/76			H 0 1 R 33/76	
G 0 1 R 1/06			G 0 1 R 1/06	B
31/26			31/26	J
31/28			H 0 1 L 21/66	D
H 0 1 L 21/66			23/32	A

審査請求 有 請求項の数 7 OL (全 5 頁) 最終頁に続く

(21) 出願番号 特願平8-186102

(22) 出願日 平成8年(1996) 7月16日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 加藤 典昭

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 半導体デバイスの試験方法及びICソケット

(57) 【要約】

【課題】 半田バンプを持つフリップチップやFP-BGA等の半導体デバイスの試験に際し、基板に半田付けせずに良好な電気的特性を得る試験方法やICソケットの構造を提供する。

【解決手段】 電気的試験回路が形成され、かつ半導体デバイスの電極に対応した位置にバンプ4aを有する試験用基板4の上に半導体デバイスの電極より大きい直径のパッド3aを有するインターポーザー3を位置合わせし重ね、半導体デバイスと共に加圧して電気的導通を得る。

